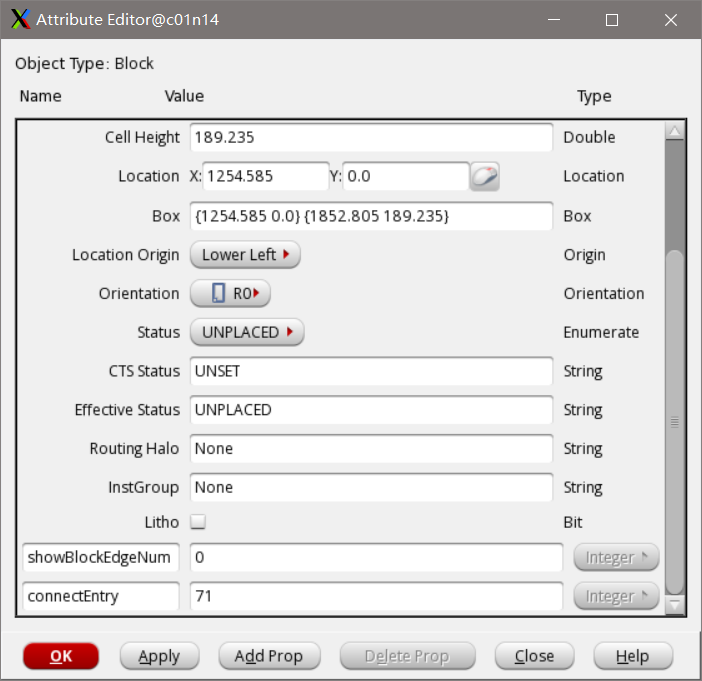
数字部分 实验四 芯片级物理设计流程

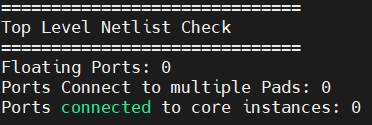
思考题

1. 回答上述操作过程中提出的问题，按照序号给出答案。

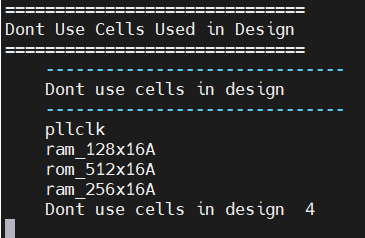
问题(1)：RAM\_256x16\_INST 模块的方向是什么？

答：该模块的方向为R0(没有旋转) 

问题(2)：设计中有多少输出浮空的线网(Output Floating Nets)？

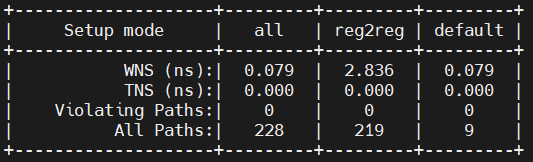
答：

设计中没有输出浮空的线网

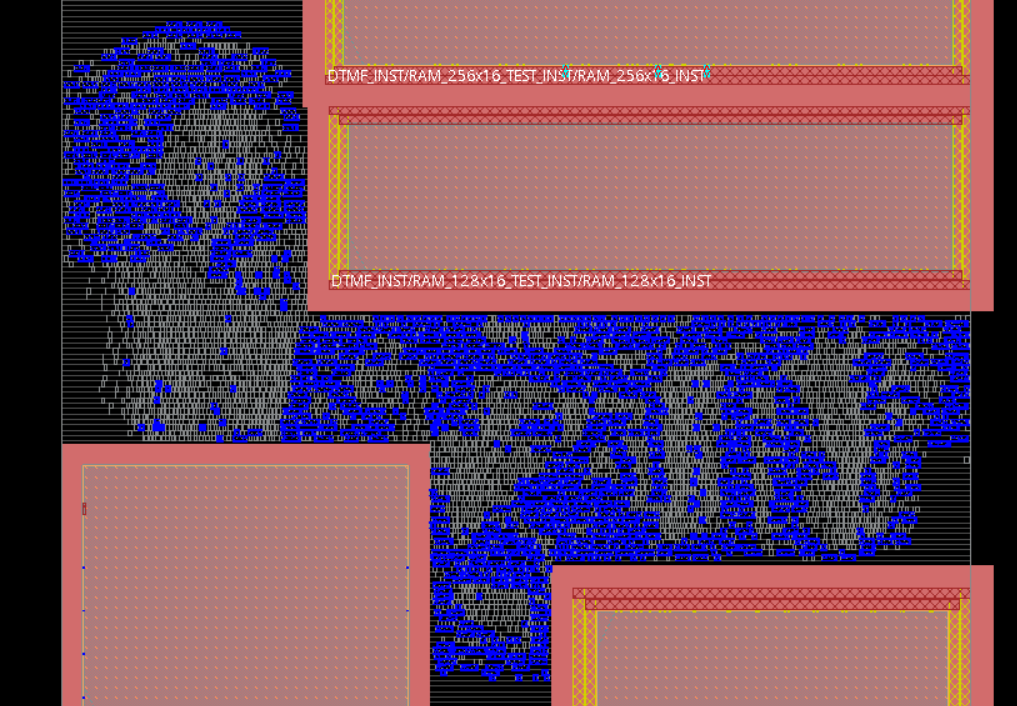
问题(3)：库中有哪些单元标记为 Dont Use？答：

库里面被标记Don’t Use的单元有4个，具体单元如图所示

问题(4)：此时的 WNS (Worst Negative Slack)是多少？

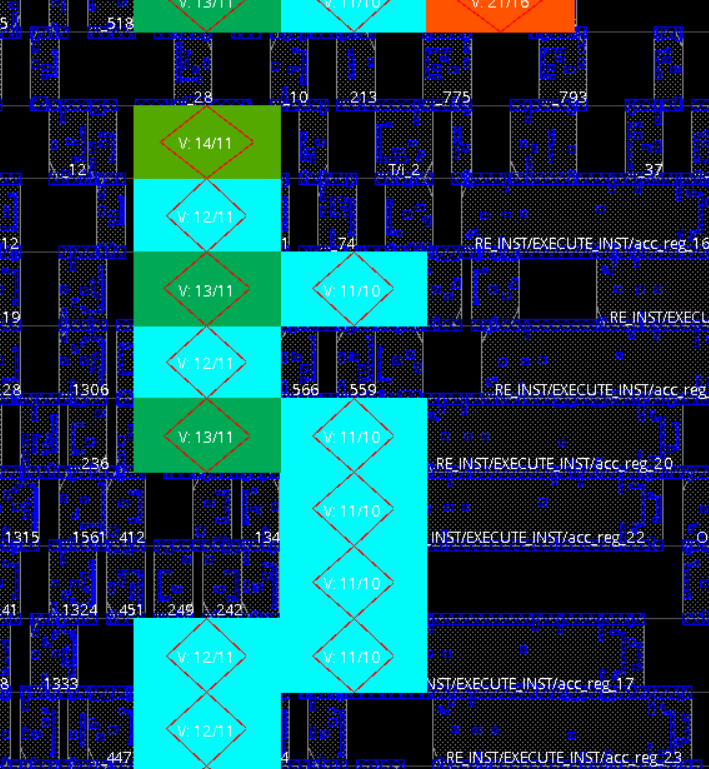
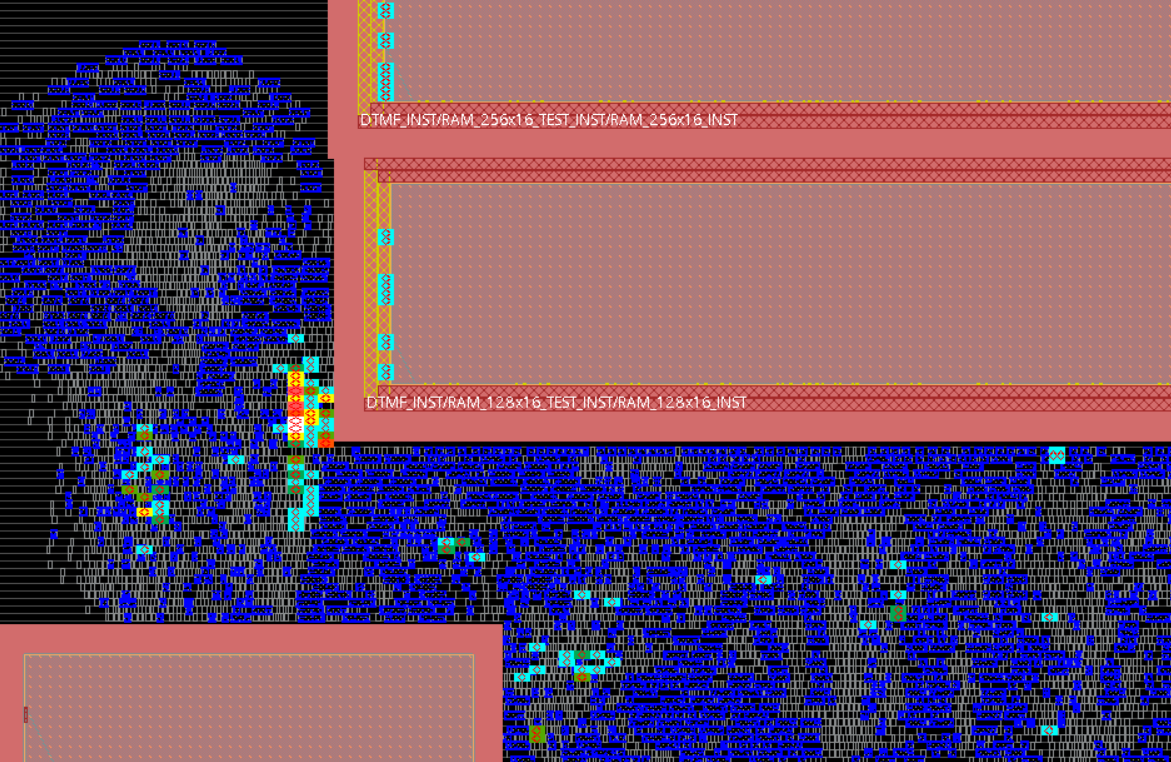
答：

WNS=0.079ns

问题(5)：垂直和水平方向上是否存在拥塞(Congestion)？答：

不存在拥塞

问题(6)：哪个方向上的拥塞更多？

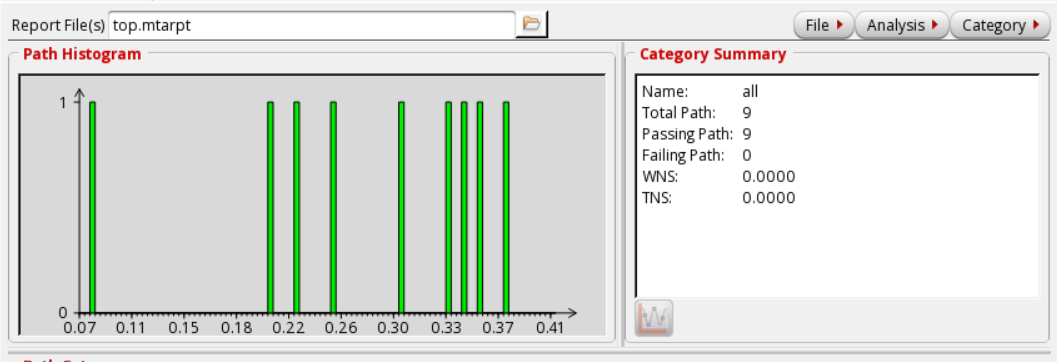
答：

可以看出，垂直方向(Vertical)的拥塞最多

问题(7)：此时设计状态是什么？

答：

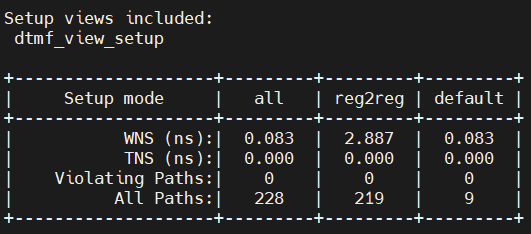
此时的状态是RC Extracted

问题(8)：此时的 WNS (Worst Negative Slack)是多少？答：

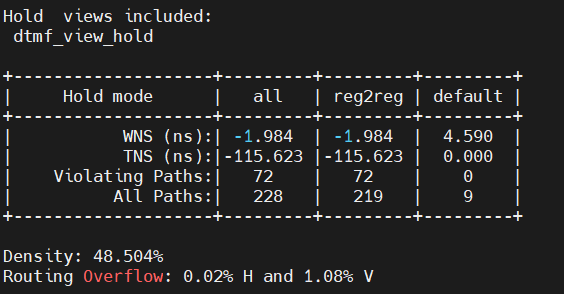
WNS=0ns

问题(9)：此时的 TNS (Total Negative Slack)是多少？

答：TNS=0ns

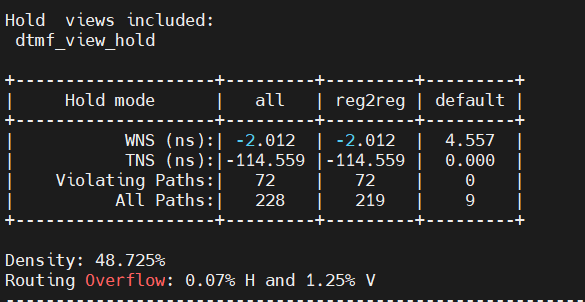
问题(10)：此时 dtmf\_view\_setup 的 WNS (Worst Negative Slack)是多少？答：

WNS=0.083ns

问题(11)：此时 dtmf\_view\_hold 的 WNS (Worst Negative Slack)是多少？答：

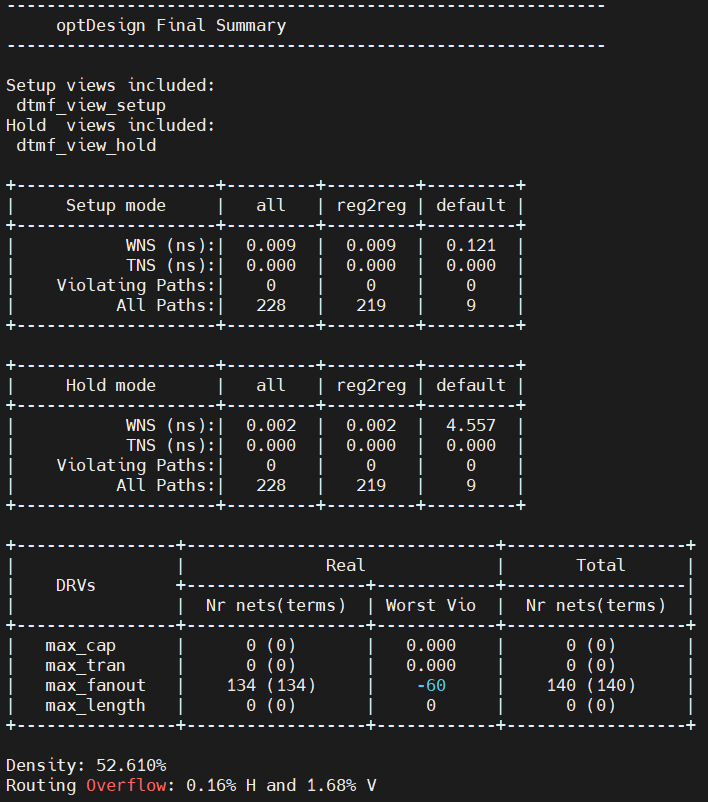
WNS=-1.984ns

问题(12)：此时的保持时间 WNS (Worst Negative Slack)是多少？

答：

WNS=-2.012ns

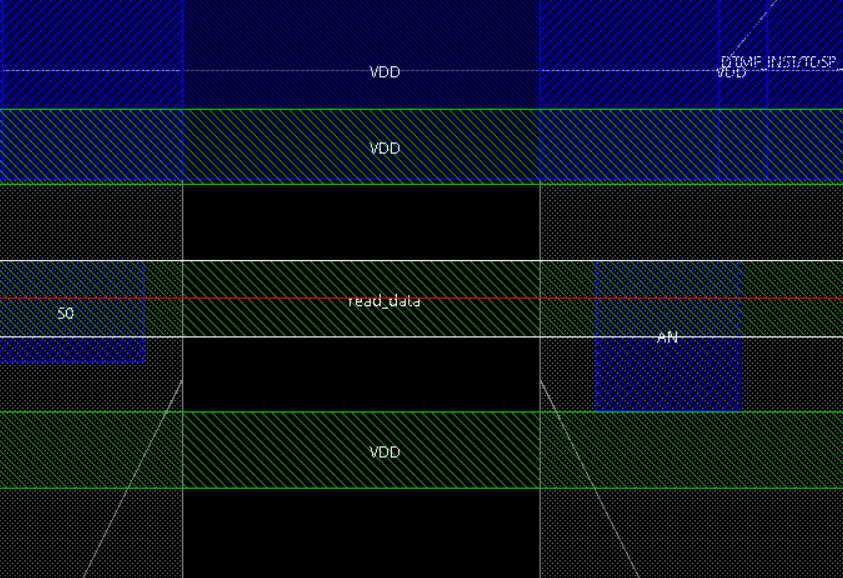
问题(13)：优化后的保持时间 WNS (Worst Negative Slack)是多少？

答：

Setup模式的WNS=0.009ns

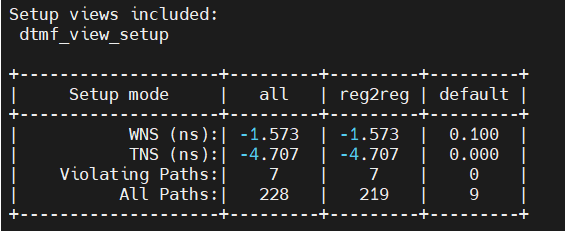
Hold模式的WNS=0.002ns

问题(14)：read\_data 线网两侧的屏蔽线连接到了哪个信号？

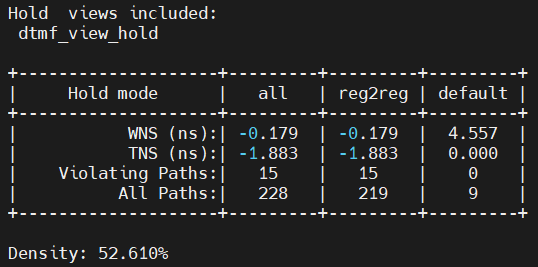
答：

两侧的屏蔽线连接到了VDD

问题(15)：此时的建立时间和保持时间 TNS 和 WNS 分别是多少？

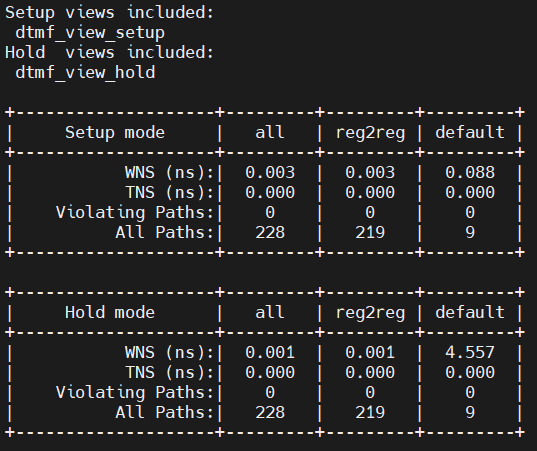
答：

建立时间的TNS=-4.707ns，WNS=-1.573ns



保持时间的TNS=-1.883ns，WNS=-0.179ns

问题(16)：优化后的建立时间和保持时间 TNS 和 WNS 分别是多少？

答：

建立时间的TNS=0.000ns，WNS=0.003ns

保持时间的TNS=0.000ns，WNS=0.001ns

1. 简述芯片级物理设计的基本过程，包括每个步骤完成的功能以及所需的文件。

注意：为了教学目的，实验内容中引入了一些非必须的步骤，请梳理出从导入设计到数据交付的必要基本流程。

答：

1. 设计输入：将模块化已经完成的模块导入进设计，并且确认导入的设计无误。所需的文件有需要导入的设计文件
2. 布图规划：设计各个模块的布局大小、相对位置，同时，设置基本的布局和几何规则。无所需文件
3. 电源规划：设计电源层的布局布线，规划电源环、电源条带等。无所需文件
4. 布局：设计布局规则，进行初步布局，然后根据时序分析进行更加细致的优化。无所需文件
5. 时钟树综合：对时序进一步进行分析和优化。所需的文件包括SDC文件、ccopt文件。
6. 布线：设置布线规则，进行布线，然后再次优化时序。无所需文件。
7. 物理验证：添加填充单元，验证连通性、几何图形。无所需文件
8. 数据交付：保存设计文件，提交给下一流程。